



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-2445

⑬ Int. Cl.⁵G 06 F 13/36
13/376

識別記号

5 3 0 B

庁内整理番号

8840-5B
8840-5B

⑭ 公開 平成2年(1990)1月8日

審査請求 未請求 請求項の数 3 (全9頁)

⑮ 発明の名称 多重バスシステム

⑯ 特 願 昭63-143213

⑰ 出 願 昭63(1988)6月10日

⑱ 発 明 者 大 河 内 俊 夫 東京都青梅市今井2326番地 株式会社日立製作所デバイス
開発センタ内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 代 理 人 弁理士 玉村 静世

明 細 書

1. 発明の名称

多重バスシステム

2. 特許請求の範囲

1. 複数のバスマスタモジュールと、相互に同一インタフェース機能を備えたマルチポートを持つ複数のスレーブモジュールを備え、夫々のスレーブモジュールは夫々個別のポートを介して複数の共通バスに接続され、相互に異なる共通バスのバス権を異なるバスマスタモジュールに並列的に割り当て可能にされたバスコントローラを含んで成るものであることを特徴とする多重バスシステム。

2. 上記バスコントローラは、夫々のバスマスタモジュールから供給されるバス権要求信号に基づいて相互の要求を調停するバスアービタと、その調停結果に応じて共通バスとバスマスタモジュールとの接続制御を行うバススイッチ回路とを含んで成るものであることを特徴とする特許請求の範囲第1項記載の多重バスシステム。

3. 所定のスレーブモジュールがバスサイクル上重なったタイミングで複数のポートを介してアクセスされるとき、何れか一方のポートをアクセスするバスマスタモジュールにアクセス動作の実質的な休止もしくは引き延ばしを指示する信号を与える手段を備え、複数の共通バスを介する同一スレーブモジュールへのアクセス競合を回避するようにされて成るものであることを特徴とする特許請求の範囲第1項又は第2項記載の多重バスシステム。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、多重バスシステムさらにはシステムのスループット向上並びにシステムの拡張性に優れるバス構成に関し、例えば、シングルチップマイクロコンピュータのような論理LSI(大規模集積回路)に適用して有効な技術に関するものである。

〔従来技術〕

シングルチップマイクロコンピュータのよう論

理LSIの内部バス構成は従来一般的に単一バス方式とされ、中央処理装置やダイレクトメモリアクセスコントローラなどのバスマスタモジュールと、メモリやタイマなどのスレーブモジュールが1つの共通バスに接続されている。また、バスマスタモジュール毎に夫々専用の共通バスを設けて成る複数バス方式を採用するものもある。

尚、単一バス構成を適用したシングルチップマイクロコンピュータについて記載された文献の例としては昭和60年3月株式会社日立製作所発行の「HD64180ユーザズマニュアル」P3～P389がある。

〔発明が解決しようとする課題〕

しかしながら、単一バス構成では、複数のバスマスタモジュールはバスアービトレーションによりその1が共通バスを占有使用し、当該所定のバスマスタモジュールがバス権を放棄するまでその他のバスマスタモジュールはメモリなどに対するアクセスを待たなければならない。即ち、複数のバスマスタモジュールは相互に時分割で排他的

ければならなくなり、そのための制御も複雑になり、さらにはシステムの拡張も容易に行えなくなってしまう。

本発明の目的は、複数のバスマスタモジュールによるスレーブモジュールの共有化を妨げることなく、バスマスタモジュールの並列動作を可能とし、しかもシステムの拡張性に優れる多重バスシステムを提供することにある。

本発明の前記並びにそのほかの目的と新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

〔課題を解決するための手段〕

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

すなわち、複数のバスマスタモジュールと、相互に同一インタフェース機能を備えたマルチポートを持つ複数のスレーブモジュールを備え、夫々のスレーブモジュールは夫々個別のポートを介して複数の共通バスに接続され、相互に異なる共通バスのバス権を異なるバスマスタモジュール

にしか共通バスを占有することができない。

本発明者は複数のバスマスタモジュールを並列動作させることを検討した。これによれば、複数のバスマスタモジュールが相互に同一スレーブモジュールをアクセスするような本質的にバスマスタモジュールの並列動作が不可能とされるような確率は極めて低いため、従来のような単一バス構成ではシステムの動作効率を向上させるにも限界のあることが明らかにされた。また、逆に、バスマスタモジュール毎に夫々専用バスを設けて成る複数バス方式を採用すると、バスマスタモジュールの並列動作は可能になるものの、並列動作以外において全く利用されないバスが存在することになってハードウェアに無駄を生ずると共に、複数のバスマスタモジュールによるスレーブモジュールの共有化が難しくなる。個々のバスマスタモジュールにスレーブモジュールを共有させようとする、複数のバスに個々のポートを介して接続するマルチポートを有するようなパッドファメを設けてバス相互間のインタフェースを行わな

るに並列的に割り当て可能にされたバスコントローラを含んで多重バスシステムを構成するものである。

このとき、バスコントローラは、夫々のバスマスタモジュールから供給されるバス権要求信号に基づいて相互の要求を調停するバスアービタと、その調停結果に応じて共通バスとバスマスタモジュールとの接続制御を行うバススイッチ回路とによって構成することができる。

さらにこのとき、所定のスレーブモジュールがバスサイクル上重なったタイミングで複数のポートを介してアクセスされるとき、何れか一方のポートをアクセスするバスマスタモジュールにアクセス動作の実質的な休止もしくは引き延ばしを指示するための信号を与える手段をバスコントローラ又は個々のスレーブモジュールに設け、複数の共通バスを介する同一スレーブモジュールへのアクセス競合を回避するようにしておくことが望ましい。

〔作用〕

前記した手段によれば、スレーブモジュールが持つマルチポートの夫々に個別的に結合された複数の共通バスは、夫々のバスマスタモジュールが夫々のスレーブモジュールを共有するように働く。即ち、個々のバスマスタモジュールに対する夫々のスレーブモジュールのインタフェースを共通化するように働く。

そして、バスコントローラは、スレーブモジュールとのインタフェースが共通化された複数のバスマスタモジュールに対して、共通バス毎にバス権を与えるように動作して、複数のバスマスタモジュールの並列動作を可能とするように作用する。このとき、所定のスレーブモジュールがバスサイクル上重なったタイミングで複数のバスマスタモジュールにより異なるポートを介してアクセスされるときには、バスコントローラに含まれる論理又は個々のスレーブモジュールに含まれる論理が、何れか一方のポートをアクセスするバスマスタモジュールにアクセス動作の実質的な休止もしくは引き延ばしを指示して、複数の共通バ

スを介する同一スレーブモジュールへのアクセス競合を回避するように働く。

〔実施例〕

第1図には本発明の一実施例であるシングルチップマイクロコンピュータのブロック図が示される。同図に示されるシングルチップマイクロコンピュータは、公知の半導体集積回路製造技術によってシリコン基板のような1個の半導体基板に形成される。

第1図に示されるシングルチップマイクロコンピュータは、特に制限されないが、バスマスタモジュールとして、CPU（セントラル・プロセッシング・ユニット）1と2つのDMAC（ダイレクト・メモリ・アクセス・コントローラ）2及び3などを備え、また、スレーブモジュールとして、パラレル入出力回路4、シリアル入出力回路5、タイマ6、及びRAM（ランダム・アクセス・メモリ）で成るようなメモリ7などを備える。

本実施例において上記各スレーブモジュール4～7は夫々相互に同一インタフェース機能を備え

た2個のポートを有し、夫々の一方のポートは第1共通バス8に結合され、他方のポートは第2共通バス9に結合される。

10は、上記第1共通バス8及び第2共通バス9に対するバス権を、上記CPU1、DMAC2、DMAC3に選択的に与えるための制御を行うバスコントローラである。このバスコントローラ10は、マスタバス11～13を介してCPU1、DMAC2、DMAC3に結合され、共通バス8、9毎に何れかのバスマスタモジュール1、2、3にバス権を与えるように動作する。したがって、3個のバスマスタモジュール1～3のうち2個の並列動作が可能になり、また、共通バス8、9のバス権が何れのバスマスタモジュールに与えられてもそのバスマスタモジュールとインタフェース可能なスレーブモジュールはバスマスタモジュールの種類に関係なく共通化される。

ここで、夫々のマスタバス11～13は、特に制限されないが、データDATAの入出力信号線と、アドレスADDRESSの出力信号線と、リ

ードサイクルであることを示すためのリード信号RD、ライトサイクルであることを示すためのライト信号WT、入出力回路がリード/ライト動作を行っていることを示すための入出力イネーブル信号IOE、メモリがリード/ライト動作を行っていることを示すためのメモリーイネーブル信号ME、及びバス権の獲得もしくは他のバスマスタモジュールに対してバスの開放を要求するためのバスリクエスト信号BREQの夫々の出力信号線と、バスの占有使用をバスマスタモジュールに認めるためにバスコントローラ10から出力されるバスアクノリッジ信号BACK、及びアクセスサイクルの実質的な引き延ばしを要求するためにスレーブモジュールから出力されるウェイト信号WAITの夫々の入力信号線の集合とされる。

上記第1共通バス8及び第2共通バス9は、特に制限されないが、データDATA、アドレスADDRESS、リード信号RD、ライト信号WT、入出力イネーブル信号IOE、メモリーイネーブル信号ME、及びウェイト信号WAITのための信

号線の集合とされる。

尚、第1図において14は、CPU1が第2共通バス9を介してDMAC2、3に転送部数やバースト数などの初期設定を行ったり、その他の制御情報を与えたりするための専用内部バスとされる。

第2図にはバスコントローラ10の詳細な一例が示される。このバスコントローラ10は、夫々のバスマスタモジュール1、2、3相互間のバス権要求を調停するバスアービタ15と、このバスアービタ15による調停結果に応じて共通バス8、9とバスマスタモジュール1、2、3との接続制御を行うバススイッチ回路16とを含んで成る。

第2図において、BREQ₁はCPU1が出力するバスリクエスト信号、BREQ₂はDMAC2が出力するバスリクエスト信号、BREQ₃はDMAC3が出力するバスリクエスト信号である。これらのバスリクエスト信号は、特に制限されないが、ローレベルによってバス権の獲得を要求する。また、BACK₁はCPU1に与えられるバ

スアクノリッジ信号、BACK₂はDMAC2に与えられるバスアクノリッジ信号、BACK₃はDMAC3に与えられるバスアクノリッジ信号である。これらのバスアクノリッジ信号は、特に制限されないが、ローレベルによりバスの占有使用を承認する。

バススイッチ回路16は、特に制限されないが、第1共通バス8をマスタバス11又は12に接続するスイッチ17と、第2共通バス9をマスタバス11又は13に接続するスイッチ18によって構成される。そのスイッチ制御はバスアービタ15によるバス権の調停結果に応じて形成される選択制御信号 ϕ_1 、 ϕ_2 によって行われる。

ここで先ず、バスアービタ15によるバス権の調停論理は次のようにされる。即ち、CPU1とDMAC2との間で夫々のバス使用要求が競合しない場合にはバスリクエスト信号BREQ₁、BREQ₂がローレベルにアサートされるタイミングの早遅により早い方にバス権を与え、競合する場合には予め設定されている優先順位に従って優

先度の高い方にバス権を与える。同様に、CPU1とDMAC3との間で夫々のバス使用要求が競合しない場合にはバスリクエスト信号BREQ₁、BREQ₃がローレベルにアサートされるタイミングの早遅により早い方にバス権を与え、競合する場合には予め設定されている優先順位に従って優先度の高い方にバス権を与える。

このようなバス調停論理に応ずるバススイッチ回路16の選択制御論理は、CPU1とDMAC2との間でバス権が認められる側の一方のマスタバス11又は12の何れか一方に第1共通バス8を接続し、CPU1とDMAC3との間でバス権が認められる側の一方のマスタバス11又は13の何れか一方に共通バス9を接続するようにされている。尚、CPU1だけにバス権が与えられる場合には、一方の第1共通バス8の利用を優先させるような論理を備え、一方のスイッチ17の動作によって第1共通バス8だけがCPU1のマスタバス11に接続される。

第3図にはスレーブモジュール4～7のマルチ

インタフェース構成の概略的構成が代表的に示される。

各スレーブモジュール4～7は、第1共通バス8に結合されるポートを含む第1バスインタフェース回路20と、第2共通バス9に結合されるポートを含む第2バスインタフェース回路21を夫々含む。第1バスインタフェース回路20と第2バスインタフェース回路21は相互に同一のインタフェース機能を備え、何れのインタフェース回路を介しても全く同様にバスマスタモジュールと各種情報のやりとりを行うことができるようになっている。

ところで、2個のバスマスタモジュールが相互に同一スレーブモジュールをアクセスするような競合状態では2個のバスマスタモジュールの並列アクセス動作は本質的に不可能とされる。本実施例においてこのような競合を回避する構成は、特に制限されないが、各スレーブモジュールに含まれている。

例えば、所定のスレーブモジュールがバスサイ

クル上重なったタイミングで第1バスインタフェース回路20及び第2バスインタフェース回路21を介してアクセスされるとき、何れか一方のバスインタフェース回路からアクセスするバスマスタモジュールにアクセス動作の引き延ばしを指示するウェイト信号WAIT(第3図において共通バス8に与えられるウェイト信号はWAIT₁で示され、共通バス9に与えられるウェイト信号はWAIT₂で示される)を与えるようになっている。

すなわち、第1バスインタフェース回路20はこれに供給されるアドレス信号ADDRESSに基づいて自分自身の動作の指示を検出すると、当該第1バスインタフェース回路20から供給されるメモリーネーブル信号ME又は入出力ネーブル信号IOEがネゲートされるまでウェイト信号WAIT₁を第2バスインタフェース回路21に向けてアサートする。このとき第2バスインタフェース回路21は、第2共通バス9から供給されるアドレス信号ADDRESSに基づいて自分

自身の動作指示を検出すると、上記ウェイト信号WAIT₁と同相のウェイト信号WAIT₂を、第2バスインタフェース回路21側から当該スレーブモジュールをアクセスするバスマスタモジュールに与える。これにより、当該バスマスタモジュールによる第2バスインタフェース回路21側からのアクセスが引き延ばされ、第1バスインタフェース回路20側からのアクセスが終了するまでその第2バスインタフェース回路21側からのアクセス動作が実質的に休止される。特に、アサートされたウェイト信号が供給されるバスマスタモジュールにおいてウェイトサイクルの挿入タイミングは、リードデータの取り込みタイミング以前とされ、また、書き込みデータの出力タイミング以前とされている。

同様に、第2バスインタフェース回路21は、これに供給されるアドレス信号ADDRESSに基づいて自分自身の動作の指示を検出すると、当該第2バスインタフェース回路21から供給されるメモリーネーブル信号ME又は入出力ネーブル

信号IOEがネゲートされるまでウェイト信号WAIT₂を第1バスインタフェース回路20に向けてアサートする。このとき第1バスインタフェース回路20は、第1共通バス8から供給されるアドレス信号に基づいて自分自身の動作指示を検出すると、上記ウェイト信号WAIT₂と同相のウェイト信号WAIT₁を、第1バスインタフェース回路20側から当該スレーブモジュールをアクセスするバスマスタモジュールに与える。これにより、当該バスマスタモジュールによる第1バスインタフェース回路20側からのアクセスが引き延ばされ、第2バスインタフェース回路21側からのアクセスが終了するまでその第1バスインタフェース回路20側からのアクセス動作が実質的に休止される。

尚、第1バスインタフェース回路20及び第2バスインタフェース回路21を介して同時に所定1つのスレーブモジュールがアクセスされる場合には第1共通バス8からのアクセスを優先するように一方のウェイト信号WAIT₁だけがアサ

ートされるようになっている。

次に本実施例の動作の一例を第4図のタイミングチャートを参照しながら説明する。

第4図はパラレル入出力回路4が第1共通バス8と第2共通バス9を介して同時にリードアクセスされる場合の競合回避の動作を一例とする。

例えば第1共通バス8のバス権がCPU1に与えられ、第2共通バス9のバス権がDMAC3に与えられているものとする。この状態でCPU1は第1共通バス8を介して所望のスレーブモジュールをアクセスすることができ、これと並列的にDMAC3は第2共通バス9を介して所望のスレーブモジュールをアクセスすることができる。

このとき、例えばCPU1とDMAC3が同時にパラレル入出力回路4をリードアクセスする場合、パラレル入出力回路4にはCPU1から出力されるアドレス信号ADDRESSや入出力ネーブル信号IOE及びリード信号RDのアサートレベルが第1バスインタフェース回路20を介して供給される。同様に、パラレル入出力回路4に

はDMAC3から出力されるアドレス信号ADDRESSや入出力イネーブル信号IOE及びリード信号RDのアサートレベルが第2バスインタフェース回路20を介して供給される。

この状態で第1バスインタフェース回路20及び第2バスインタフェース回路21は、競合回避の論理に従い、第1バスインタフェース回路20がウェイト信号WAIT₁をアサートし、これを受ける第2バスインタフェース回路21がそのウェイト信号WAIT₁と同相のウェイト信号WAIT₂を第2共通バス9に出力する。

第2共通バス9に出力されたウェイト信号WAIT₂はDMAC3により所定のタイミングでサンプリングされ、これによって当該DMAC3はそのアクセスサイクルにウェイトサイクルを挿入して実質的なリード動作を休止する。この間にCPU1は第1共通バス8を介してパラレル入出力回路4をリードアクセスする。

CPU1がパラレル入出力回路4のアクセスを終了して入出力イネーブル信号IOEをネゲート

すると、第1バスインタフェース回路20から第2バスインタフェース回路21に与えられているウェイト信号WAIT₁がネゲートされ、これに呼応して第2バスインタフェース回路21は第2共通バス9に出力しているウェイト信号WAIT₂をネゲートする。DMAC3がこのウェイト信号WAIT₂のネゲート状態を検出すると、ウェイトサイクルの挿入を停止してパラレル入出力回路4に対する実質的なリードアクセスを再開して、所望のリードデータを得る。

上記実施例によれば以下の作用効果を得るものである。

(1) 複数のスレーブモジュール4～7は相互に同一インタフェース機能を備えたマルチポートを持ち、それらスレーブモジュール4～7は夫々個別のポートを介して第1共通バス8及び第2共通バス9に接続され、第1共通バス8及び第2共通バス9のバス権調停を行うバスコントローラ10は、第1共通バス8、第2共通バス9毎に何れかのバスマスタモジュール1、2、3にバス権を

与えるように動作するから、3個のバスマスタモジュール1～3のうち2個の並列動作が可能になり、また、共通バス8、9のバス権が何れのバスマスタモジュール1～3に与えられてもそのバスマスタモジュールとインタフェース可能なスレーブモジュールはバスマスタモジュールの種類に関係なく共通化される。

(2) 上記作用効果より、複数のバスマスタモジュール1～3によるスレーブモジュール4～7の共有化を妨げることなくバスマスタモジュールの並列動作が可能になるから、従来の単一バス構成やバスマスタモジュール毎に夫々専用バスを設けて成る複数バス方式に比べて、システムの動作効率を向上させることができると共に、各種モジュールの追加変更といったシステムの拡張もしくは変更を単一バス構成と同様に容易に行うことができる。

(3) 上記作用効果よりシステムの拡張もしくは変更が容易であるから、本実施例の多重バス方式はアプリケーションスペシフィック方式のシング

ルチップマイクロコンピュータなどに容易に適用することができる。

以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが本発明はそれ限定されずその要旨を逸脱しない範囲において種々変更することができる。

例えば、マイクロコンピュータに含まれるバスマスタモジュールやスレーブモジュールの種類や数は上記実施例に限定されず適宜変更することができる。

スレーブモジュールが持つ相互に同一機能値を備えたポートの数は上記実施例の2個に限定されずそれ以上とすることもでき、これに応じて共通バスの数も変更し得る。

1つのスレーブモジュールに対する複数のバスマスタモジュールによるアクセス競合回避の論理もしくは構成は上記実施例のように各スレーブモジュールに内蔵させる場合に限定されず、そのようなアクセス競合回避の論理をバスアービタなどの回路に含めて集中管理するようにしてもよい。

また、上記実施例では斯るアクセス競合回避のための信号としてウェイト信号を流用するようにしたが、ホールド信号などを流用したりさらにはその他の専用信号を利用するようにしてもよい。

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるシングルチップマイクロコンピュータに適用した場合について説明したが、本発明はそれに限定されず、その他の論理LSIさらにはボード上のバス構成にも広く適用することができる。本発明は少なくとも複数のバスマスタモジュールとスレーブモジュールを含む条件のものに適用することができる。

(発明の効果)

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

すなわち、複数のスレーブモジュールは相互に同一インタフェース機能を備えたマルチポートを持ち、それらスレーブモジュールは夫々個別の

れるバス権要求信号に基づいて相互の要求を調停するバスアービタの調停結果に応じて共通バスとバスマスタモジュールとの接続制御を行うバススイッチ回路を採用することにより、複数のバスマスタモジュールを並列動作させるために必要なバスマスタモジュールと共通バスとの接続制御及びその回路構成を簡素化することができる。さらに所定のスレーブモジュールがバスサイクル上重なったタイミングで複数のポートを介してアクセスされるとき、何れか一方のポートをアクセスするバスマスタモジュールにアクセス動作の実質的な休止もしくは引き延ばしを指示するための信号を与える手段を持つことにより、複数のバスマスタモジュールの並列動作に際して同一スレーブモジュールへのアクセス競合による動作異常を外部ハードウェアや外部における特別な制御手順に頼ることなく自らで未然に防止することができる。

4. 図面の簡単な説明

第1図は本発明の一実施例であるシングルチップマイクロコンピュータのブロック図。

ポートを介して複数の共通バスに接続され、共通バスのバス権調停を行うバスコントローラは、共通バス毎に何れかのバスマスタモジュールにバス権を与えるように動作することにより、複数のバスマスタモジュールの並列動作が可能になり、また、共通バスのバス権が何れかのバスマスタモジュールに与えられてもそのバスマスタモジュールとインタフェース可能なスレーブモジュールはバスマスタモジュールの種類に関係なく共通化されるという効果を得る。

これにより、複数のバスマスタモジュールによるスレーブモジュールの共有化を妨げることなくバスマスタモジュールの並列動作が可能になるから、従来の単一バス構成やバスマスタモジュール毎に夫々専用バスを設けて成る複数バス方式に比べて、システムの動作効率を向上させることができると共に、各種モジュールの追加変更といったシステムの拡張もしくは変更を単一バス構成と同様に容易に行うことができるという効果がある。

特に、夫々のバスマスタモジュールから供給さ

第2図はバスコントローラの一例を示すブロック図。

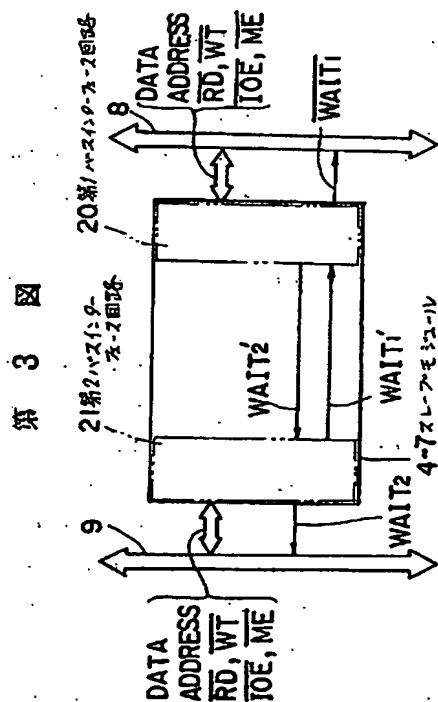
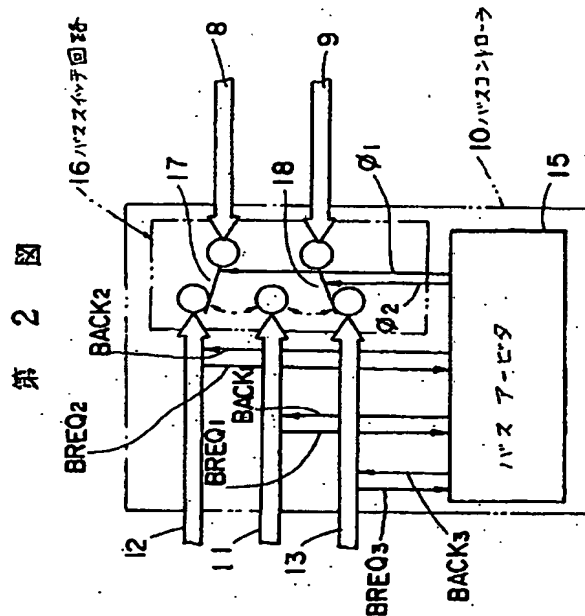
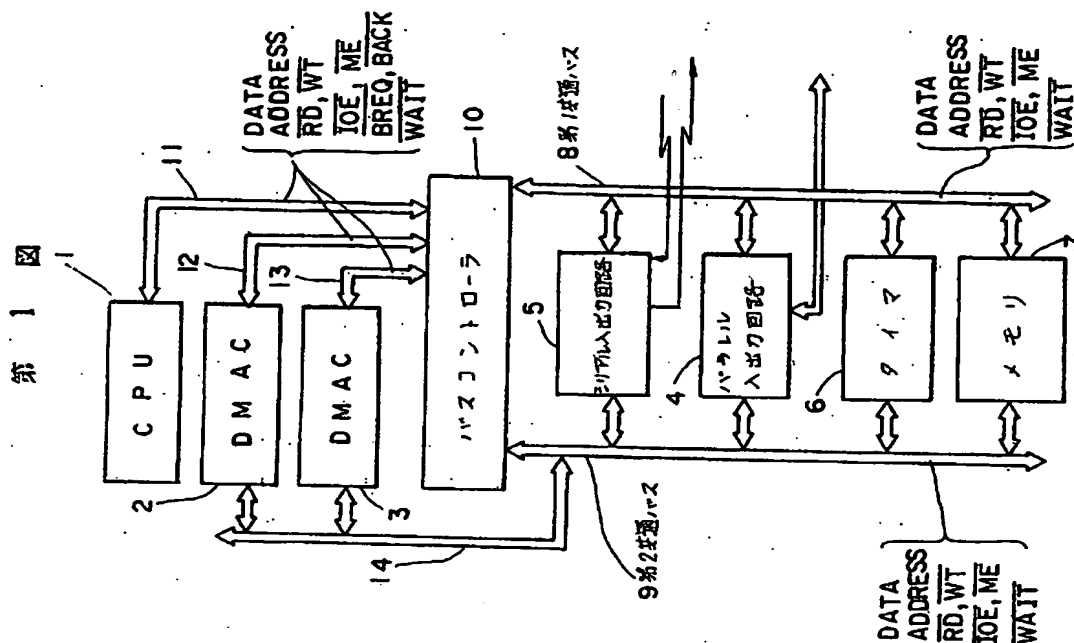
第3図はスレーブモジュールのマルチインタフェース構成の一例を示す概略ブロック図。

第4図は複数のバスマスタモジュールの並列アクセス動作の一例を示すタイミングチャートである。

1…CPU、2、3…DMAC、4…パラレル入出力回路、5…シリアル入出力回路、6…タイマ、7…メモリ、8…第1共通バス、9…第2共通バス、10…バスコントローラ、11～13…バスマスタバス、15…バスアービタ、16…バススイッチ回路、20…第1バスインタフェース回路、21…第2バスインタフェース回路、 $BREQ$ ($BREQ_1$, $BREQ_2$, $BREQ_3$)…バスリクエスト信号、 $BACK$ ($BACK_1$, $BACK_2$, $BACK_3$)…バスアクノリッジ信号、 $WAIT$ ($WAIT_1$, $WAIT_2$)…ウェイト信号。

代理人 弁理士 玉村 静世





第 4 図

